

積層型 CMOS イメージセンサの進化と最新技術

水田恭平*・津川英信・中邑良一・香川恵永・高橋知宏・榊原雅樹・田谷圭司

ソニーセミコンダクタソリューションズ株式会社 ☎ 243-0014 神奈川県厚木市旭町 4-41-1

(2019年6月17日受付；2019年7月18日掲載決定)

The Evolutionary Process for 3D Stacked CMOS Image Sensor and the Advanced Technologies

Kyohei MIZUTA*, Hidenobu TSUGAWA, Ryoichi NAKAMURA, Yoshihisa KAGAWA,
 Tomohiro TAKAHASHI, Masaki SAKAKIBARA and Keiji TATANI

Sony Semiconductor Solutions Corporation, 4-41-1, Asahi-cho, Atsugi, Kanagawa 243-0014

(Received June 17, 2019 ; Accepted July 18, 2019)

In recent years, imaging quality of a CMOS image sensor (CIS) is remarkably improving. This paper reviews the technology development of CIS for mobile devices.

KEYWORDS : CMOS image sensor, back illuminated, 3D stacked, 3-layer stacked, Cu-Cu connections

1. CMOS イメージセンサとは

私たちはカメラで写真や動画を撮影する。カメラを搭載した身近なデバイスの一つを挙げる場合、近年爆発的に普及したスマートフォンと答える人も多いだろう。スマートフォンに搭載されたカメラによって、写真や動画を手軽に SNS (Social Networking Service) にアップロードできる時代である。カメラの撮像原理は、被写体からの

光をレンズによりアレイ状に並べた撮像素子に結像させ、素子内で光電変換を行い、電気信号を得ることである。撮像の心臓部ともいえる重要な役割を担う半導体素子をイメージセンサと呼ぶ。

イメージセンサは、1930年代の撮像管からはじまり、次いでシリコン (Si) を用いた CCD (Charge Coupled Device) の登場により、小型・軽量化が実現し、急速に普及した。近年では、低電圧・低消費電力である CMOS

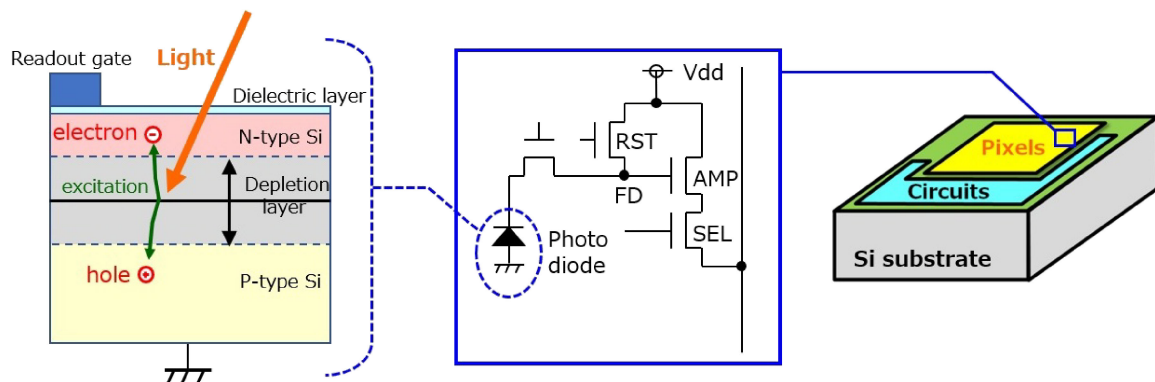


Fig. 1. (color online). A standard structure of CMOS image sensor.

*E-mail : Kyohei.Mizuta@sony.com

(Complementary Metal Oxide Semiconductor) プロセスを用いたイメージセンサが主流となっている。

CMOS イメージセンサ (CMOS Image Sensor, CIS) の基本構造を, Fig. 1 で説明する。Si 基板上に形成されたフォトダイオードに光が照射されると, 電子・正孔対が励起する。この現象を光電変換と呼ぶ。光電変換により発生した電子・正孔対は, PN 接合で形成した空乏層の電界により, 電子は N 型層へ, 正孔は P 型層へと分離される。光電変換された電荷はフォトダイオードに蓄積され, 読み出し電極を用いて外部へ出力される。

フォトダイオードの周囲には, 得られた信号電荷を電圧へ変換する容量 (Floating Diffusion, FD) や, 変換後の電圧を外部へ出力するトランジスタ (AMP), 複数の画素から出力画素を選択するトランジスタ (SEL), フォトダイオードや FD の電荷をリセットするトランジスタ (RST) を配置する。フォトダイオードと周辺素子との組み合わせを, 一つの基本単位として画素と呼ぶ。各画素から得られた電圧信号は, ロジック回路での信号処理を経て, 画像として外部へ出力される¹⁾。

2. CMOS イメージセンサの進化

スマートフォンに用いられている CIS のデバイス構造の進化を, ソニーの構造を例に挙げて説明する。そのデバイス構造は, Fig. 2 の左から順に表面照射型 (Front Illuminated) CIS, 裏面照射型 (Back Illuminated) CIS, 積層型 (3D Stacked) CIS の三つに分類できる。

2.1 裏面照射型 CIS への進化

表面照射型 CIS と裏面照射型 CIS の内部構造を Fig. 3 に示す。Fig. 3 左の表面照射型 CIS は, マイクロレンズで集めた光が, 金属配線層間を通り, フォトダイオードに入射する構造である。本構造では, 画素の微細化に伴い, 画素に占める配線層領域が増える。そのため, 配線層によって光が反射され, フォトダイオードに入る光が減る課題が生じた。この課題を解決するために, Fig. 3 右の裏面照射型 CIS が開発された。

裏面照射型 CIS の製造プロセスを説明する。配線層ま

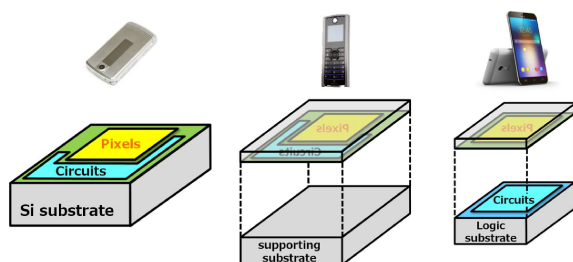


Fig. 2. (color online). Evolution of the CMOS image sensor structures for mobile devices.

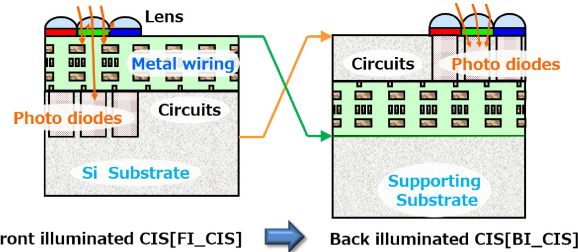


Fig. 3. (color online). Structure images of Front illuminated (left) and Back illuminated (right) CMOS image sensor.

で形成した Si ウェーハを表裏反転させ, 支持基板と接合する。その後, 裏面から光を取り込むためにフォトダイオードの受光面まで Si ウェーハを薄く加工する。本構造は, フォトダイオードまでの光路に配線層が無く, 入射光のロスが少ない。この構造により, 従来の表面照射型 CIS では達成が難しい高い感度を実現することができた。

2.2 積層型 CIS への進化

裏面照射型 CIS と積層型 CIS の内部構造を Fig. 4 に示す。Fig. 4 左の裏面照射型 CIS の登場により, 感度が大幅に向上した。さらなる要望として, 解像度を上げるため画素数を増やしたい, 機能を拡充するため大規模なロジック回路を搭載したい, チップサイズを小型化したい等が生じた。しかしながら, 裏面照射型 CIS は, 画素とロジック回路とが同一基板上に存在する構造であるため, 多画素化・ロジック回路の規模拡大のいずれの場合においても, チップサイズが大きくなってしまう。

また, 根本的な問題として, CIS の画素には, 低ノイズ・低リーク特性が得られるプロセスが必要であるが, 一方のロジック回路には, 高速・低抵抗であるプロセスが必要である。両者の両立は技術的難易度が高く, これらのトレードオフを解消するために, 積層型 CIS が開発された。

積層型 CIS の製造プロセスを説明する。従来の裏面照射型 CIS に用いている支持基板の代わりとして, ロジック回路が形成された基板を用意する。そのロジック回路

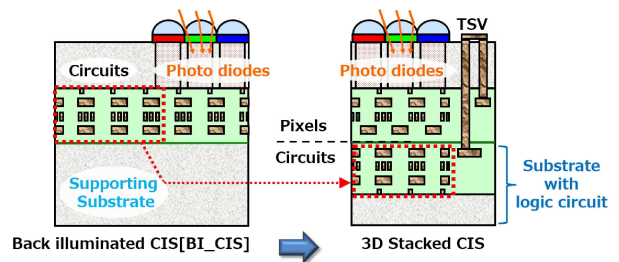


Fig. 4. (color online). Structure images of Back illuminated (left) and 3D Stacked (right) CMOS image sensor.

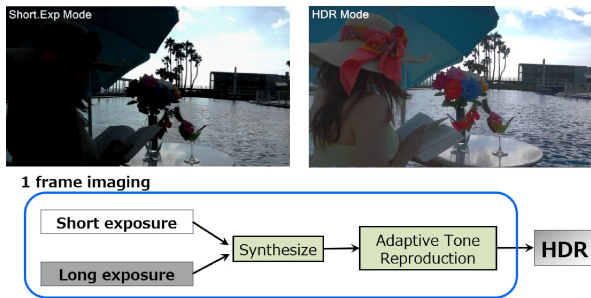


Fig. 5. (color online). High dynamic range (HDR) imaging.

基板は、画素基板と接合される。その後、TSV (Through Silicon Via) と呼ばれる貫通電極を形成し、上下間を電氣的に接続する。TSV 接続は、上下基板を電氣的に接続するため、従来の接合よりも高いアライメント精度が求められる。

積層型 CIS の登場により、それぞれの基板に最適な半導体プロセスを適用することができる。また、裏面照射型 CIS に見られるデッドスペース (素子が存在しない支持基板領域) をロジック回路領域として有効活用することで、チップサイズの大幅な縮小とロジック回路の規模拡大の両立が可能となった。光学サイズ別で比べると、光学サイズ 1/4 インチでは二倍以上、光学サイズ 1/3 インチでは約七倍の規模のロジック回路を搭載でき、かつ小型化できる。ロジック回路の規模拡大により、新たな機能追加も可能となる。

機能追加の例として、HDR (High Dynamic Range) の搭載が挙げられる。Dynamic Range とは明所から暗所までの幅を指し、それらの信号量の比で表わされる。Fig. 5 の左上のように、露光時間が短い場合、日陰のような光量の少ない場所は黒く潰れてしまう。一方、露光時間が長い場合、空のような光量の多い場所は白く潰れてしまう。露光時間の長い画像と短い画像とをセンサ内のロジック回路で合成し、明るい場所と暗い場所の両方を視認できる HDR 画像をリアルタイムで動画出力できるようになった²⁾。

次に、積層型 CIS に用いられている三層積層や Cu-Cu 接続の技術を紹介する。

2.2.1 TSV 接続を用いた三層積層型 CIS

画素、DRAM (Dynamic Random Access Memory)、ロジック回路からなる三層積層型 CIS の断面図を Fig. 6 に示す。画素の外周領域で、画素と DRAM、DRAM とロジック回路とを TSV で接続した構造である。

本デバイス構造を実現するための課題は、三枚のウェーハ積層、各基板間を狭ピッチで接続する TSV の形成、DRAM の Si 基板の薄肉化である。それらの課題を克服

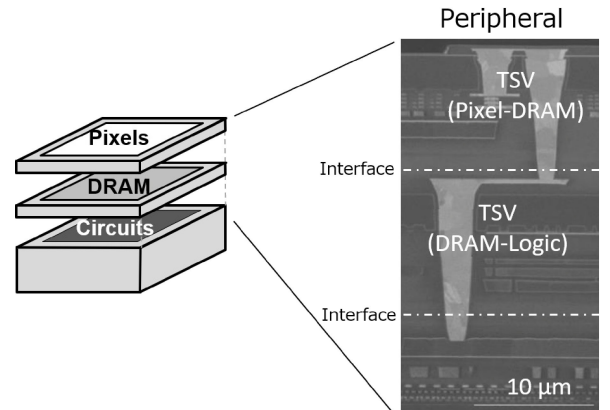


Fig. 6. (color online). Cross section of 3-layer Stacked CMOS image Sensor.

し、300 mm ウェーハで既に量産出荷されている。

三層積層型 CIS の特徴は、高速撮像である。従来の積層型 CIS では外部出力のインターフェイスが律速し、読み出し速度を上げることができなかった。しかし、DRAM のメモリを持つことにより、高フレームレートでの撮像が可能となる。その画像は、一時的にメモリに保持され、後に低速で出力される。高フレームレートでの撮像は、ローリングシャッター特有の高速で動作する被写体を撮像した際の歪みを抑制することができる。

ローリングシャッターとグローバルシャッターの駆動の違いを説明する。ローリングシャッターは、縦一列の画素信号を一フレーム期間内に順次読み出す駆動方法である。この駆動方法は、CIS における一般的な読み出し方法であるが、各画素に露光されるタイミングは列ごとにズレが生じる。そのため、高速で動作する被写体を撮影する際に歪みが生じてしまう。一方で、グローバルシャッターは、全画素信号を一フレーム期間内に一括でアナログメモリ、あるいは A/D 変換後にデジタルメモリへ読み出す駆動方法である。アナログメモリの駆動方法は、CCD などにも用いられている読み出し方法であり、露光されるタイミングが全画素で同じため、高速で動作する被写体を撮影した際に歪みが生じることはない。つまり、その歪みを十分に抑制するには、ローリングシャッターで列ごとの露光の時間差が短くなるように高速で読み出すか、理想的にはグローバルシャッターであることが望ましい。

これらを踏まえて、ローリングシャッターでのフレームレートの違いを Fig. 7 に示す。左図の 30 fps の画像は、高速に回転している扇風機の羽に歪みが生じている。一方、三層積層型 CIS で撮影した 120 fps の画像は、扇風機の羽の歪みが抑制されている。さらに、DRAM のメモリーを有することで、スーパースローモーション

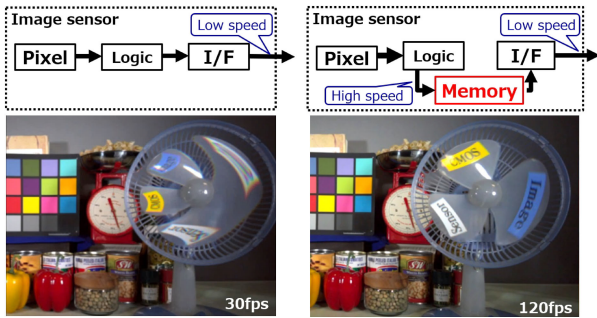


Fig. 7. (color online). Comparison of rolling shutter distortion at frame rate differences.

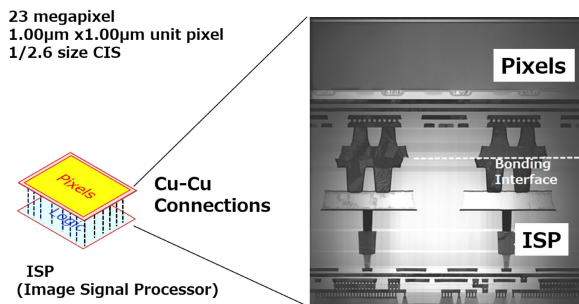


Fig. 8. (color online). Cross section of Stacked CMOS image Sensor with Cu-Cu connections.

の動画撮影が可能となる。そのフレームレートは、最大で 960 fps である。簡単には撮影することができないスーパーローモーションの世界観を、より手軽に体験することが出来るようになった³⁾。

2. 2. 2 Cu-Cu 接続を用いた積層型 CIS

初期の積層型 CIS は、上下間の電気的な接続に TSV を用いる。TSV 接続は、それ自体の構造が大きく、Si 基板を貫通する。そのため、画素領域内に配置することが難しい。そこで、Cu-Cu 接続と呼ばれる新しい積層技術が開発された。Fig. 8 に Cu-Cu 接続を用いた積層型 CIS の断面を示す。

Cu-Cu 接続の製造プロセスを説明する。あらかじめ上層の画素基板と下層のロジック回路基板の双方の接合界面に Cu 接続端子を形成する。ウェーハ接合時に物理的な積層と電気的な接続とを同時に行う。Cu-Cu 接続の場合、接続端子は画素の位置に関係なく接合界面の任意の場所に配置することができる。チップサイズのさらなる小型化、複数単位での画素とロジック回路との直接接続が可能となり、様々な可能性が広がる⁴⁾。

3. 積層型 CMOS イメージセンサの最新技術

近年、ソニーの積層型 CIS で検討されている技術を、デバイス構造を交えて紹介する。三次元積層構造で培わ

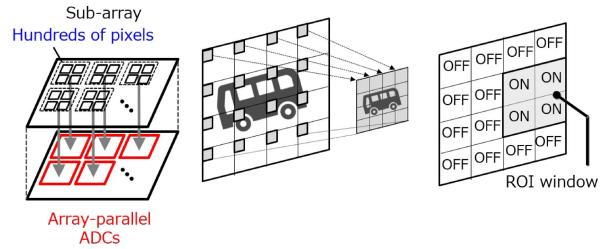


Fig. 9. (color online). Intelligent sensor system of a region control application.

れた技術をもとに、我々は新しいデバイス構造やアーキテクチャの開発を加速させている。Cu-Cu 接続の高いレイアウト自由度を活用し、従来カラム状に並列配置していた A/D 変換機 (Analog to Digital Converter, ADC) を画素の直下に配置することも可能となる。複数画素の直下に ADC を配置したセンサと、一画素の直下に ADC を配置したセンサを紹介する。

3. 1 領域制御を行う積層型 CIS

今回 Cu-Cu 接続を用いて、複数画素の直下に ADC を配置することが可能になった。Fig. 9 のように数百個単位の画素の直下に配置されたアレイ並列 ADC は、従来のカラム ADC と比べて A/D 変換する画素数が少なくなる分、280 fps での高フレームレートの撮影が可能となる。また、柔軟に読み出しを選択できる回路構成を適用することで、低い解像度の画像を高速で取得することができる。また、特定の注目領域である ROI (Region of interest) 内を高い解像度で取得することもできる。

Fig. 10 の左図のように、動作している ADC の数を間引くことで、消費電力を抑制した駆動も可能である。さらに、右図のように低い解像度で全体を撮像しながら物体認識 (顔の検出) を行い、ROI 内を高い解像度で出力しながら、その ROI ウィンドウの大きさを変えながら追尾することも可能である。

このように、ROI と呼ばれる特定の注目領域を用いて、領域制御を指向したイメージセンサの開発が可能となる。監視カメラや自動運転を想定した場合、ネットワークの帯域制限や消費電力の制約があるため、すべての

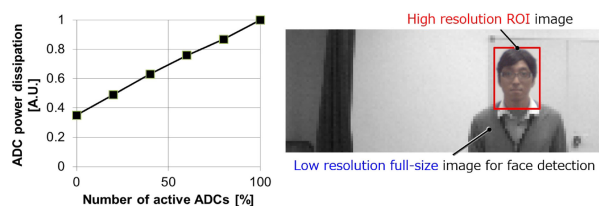


Fig. 10. (color online). Power Control (left) and face detection capture image (right) of a region control application.

画像を取得し続けることは難しい。例えば、監視カメラに関しては、ROI内に映る人物を高解像度で認識しながら追尾することが可能になる。また、自動運転に関しては、複数の車や周辺環境など必要な情報を十分な解像度で認識し続けることが可能になる。このように画像に対する情報の重み付けが将来的には益々重要となるだろう⁵⁾。

3.2 全画素同時 A/D 変換を行う積層型 CIS

Cu-Cu 接続を用いて、一画素の直下に ADC を持つデバイスの形成が可能になった。Fig. 11 左図に実断面、右図に回路構成を記載する。一画素あたりのピッチは $6.9 \mu\text{m}$ であり、その中に二ヶ所の Cu-Cu 接続の端子を持つ。光電変換により得られた画素信号の参照レベルをコンパレータで比較し、レベルが一致したデジタルコードをメモリであるラッチに保持する駆動を採用している。その駆動により、全画素一括 A/D 変換が実行され、グローバルシャッターでの 660 fps の高速撮像を実現している。また、全画素一斉駆動時のピーク電流に耐えられるように、ADC は従来と比べて三桁少ない電流量で駆動できるように工夫している。

このデバイスを用いて撮影した画像を Fig. 12 に示す。撮像時の一画素あたりの電流量は 7.74 nA である。グローバルシャッターであるため、高速で回転している扇風機の羽に歪みは一切見られない⁶⁾。

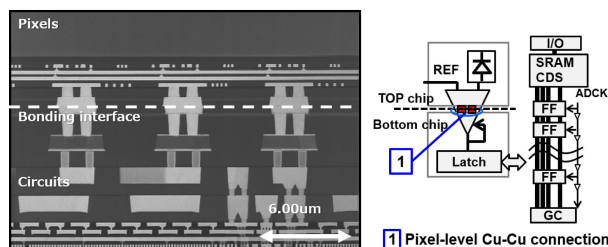
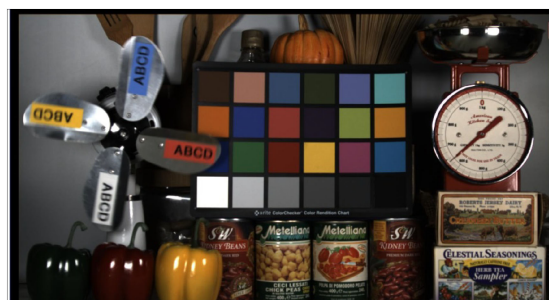


Fig. 11. (color online). Cross section of A back-illuminated global shutter CMOS image sensor with pixel-parallel ADC.



F=2.8, 8300lx, Exposure time=0.56 ms, $I_{\text{cm}}=7.74[\text{nA}]$

Fig. 12. (color online). Capture image of A back-illuminated global shutter CMOS image sensor with pixel-parallel ADC.

4. ま と め

CIS は、積層技術をもとに、構造を変え進化してきた。表面照射型 CIS から裏面照射型 CIS で感度が大幅に向上し、裏面照射型 CIS から積層型 CIS で多画素化・多機能化・小型化を実現した。また、近年見られる三層積層や Cu-Cu 接続のような技術を用いて、イメージセンサに最適化された画素とユニークな回路との組み合わせが可能となる。

この新たな組み合わせを生かして、我々はイメージセンサを新たなステージに引き上げることができる。従来の CIS で重要とされている感度・解像度・ダイナミックレンジなどの画質としてのさらなる進化に加えて、我々は、二次元画像の価値を高めるために被写体までの距離や時間変化などの物理情報を付加することができる。また、情報量の重みづけによりユーザーにとって有益な情報やプラットフォームを提供することができる。将来的には、AI (Artificial Intelligence) や次世代通信規格 5G の普及により、画像からの情報抽出や情報処理などの環境は益々向上するだろう。CMOS イメージセンサは、引き続き積層技術が牽引し、スマートフォンに搭載されているカメラをはじめとして、それ以外のセンシングデバイスを含めて、近い将来数えきれないアプリケーションに導入されるだろう。

文 献

- 1) 水田恭平：“CMOS イメージセンサの動向”，オプトニュース Vol. 10, No. 3 (2015).
- 2) T. Umebayashi, S. Sukegawa, K. Inoue and T. Hirayama：“Technology Development of CMOS Image Sensors and Future Prospects,” ADMETA plus (2016).
- 3) H. Tsugawa, H. Takahashi, R. Nakamura, T. Umebayashi, T. Ogita, H. Okano, K. Iwase, H. Kawashima, T. Yamasaki, D. Yoneyama, J. Hashizume, T. Nakajima, K. Murata, Y. Kanaishi, K. Ikeda, K. Tatani, T. Nagano, H. Nakayama, T. Haruta and T. Nomoto：“Pixel/DRAM/Logic 3-layer Stacked CMOS image sensor technology,” IEDM (2017).
- 4) Y. Kagawa, N. Fujii, K. Aoyagi, Y. Kobayashi, S. Nishi, N. Todaka, S. Takeshita, J. Taura, H. Takahashi, Y. Nishimura, K. Tatani, M. Kawamura, H. Nakayama, T. Nagano, K. Ohno, H. Iwamoto, S. Kadomura and T. Hirayama：“Novel stacked CMOS image sensor with advanced Cu₂Cu hybrid bonding,” IEDM (2016).
- 5) T. Takahashi, Y. Kaji, Y. Tsukuda, S. Futami, K. Hanzawa, T. Yamauchi, P.W. Wong, F. Brady, P. Holden, T. Ayers, K. Mizuta, S. Ohki, K. Tatani, T. Nagano, H. Wakabayashi and Y. Nitta：“A 4.1Mpix 280fps Stacked CMOS Image Sensor with Array-Parallel ADC Architecture for Region Control”, Sympo-

- sium on VLSI Circuits (2017).
- 6) M. Sakakibara, K. Ogawa, S. Sakai, Y. Tochigi, K. Honda, H. Kikuchi, T. Wada, Y. Kamikubo, T. Miura, M. Nakamizo, N. Jyo, R. Hayashibara, Y. Furukawa, S. Miyata, S. Yamamoto, Y. Ota, H. Takahashi, T. Taura, Y. Oike, K. Tatani, T. Ezaki and T. Hirayama : “A back-illuminated global shutter CMOS image sensor with pixel-parallel 14-bit subthreshold ADC,” ISSCC (2018).